

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-079965

(43)Date of publication of application : 30.06.1981

(51)Int.Cl.

G01R 31/00
H03K 13/02

(21)Application number : 54-157854

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.12.1979

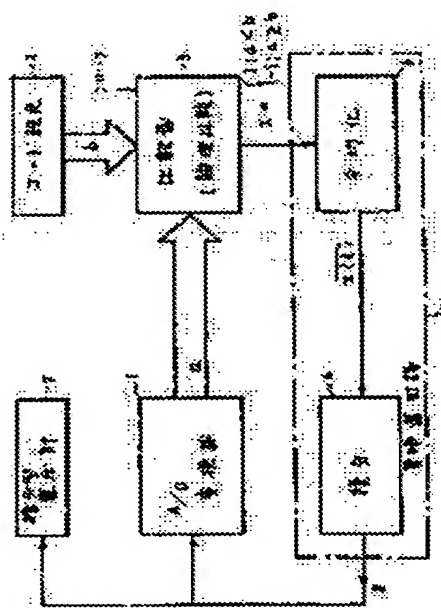
(72)Inventor : OHATA MICHINOBU
KAJIWARA MASANORI
MIZUSHIMA KOJI

(54) EVALUATING APPARATUS OF ANALOG-TO-DIGITAL CONVERTER

(57)Abstract

PURPOSE: To make stable evaluation by comparing a predetermined digital value and the output of an analog-to-digital converter which is the target of evaluation, averaging the compared result outputs and increasing or decreasing analog input based on the results thereof.

CONSTITUTION: The output from an analog-to-digital converter 1 which is the target of evaluation, and the output from a code setting part 2 are compared by a comparator 3. The output from the comparator 3 is supplied to an averaging circuit 5, and the output thereof is supplied to an integral network 6. An analog value is formed by the circuit 6. This analog value is negatively fed back as the input to the converter 1. The analog input level stabilized by this negative feedback circuit is measured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—79965

⑤ Int. Cl.³
G 01 R 31/00
H 03 K 13/02

識別記号

庁内整理番号
7807—2G
8024—5J

⑬ 公開 昭和56年(1981)6月30日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ アナログ・デジタル変換器評価装置

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭54—157854

⑯ 発 明 者 水島幸治

⑰ 出 願 昭54(1979)12月5日

川崎市中原区上小田中1015番地
富士通株式会社内

⑰ 発 明 者 大畑道信

⑰ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

⑰ 発 明 者 梶原正範

⑱ 代 理 人 弁理士 森田寛

明 細 書

1. 発明の名称 アナログ・デジタル変換器評価装置

2. 特許請求の範囲

与えられたアナログ入力に対応したデジタル出力を発生するアナログ・デジタル変換器を評価対象アナログ・デジタル変換器とし、該評価対象アナログ・デジタル変換器からのデジタル出力の少なくとも最下位ビットが変化する変化点に対応するアナログ入力レベルを測定するアナログ・デジタル変換器評価装置において、予め定められたデジタル値と上記評価対象アナログ・デジタル変換器出力とを比較する比較器、該比較器の比較結果出力を平均化しその結果により上記評価対象アナログ・デジタル変換器に対するアナログ入力を増減する負帰還回路をそなえ、該負帰還回路によって安定化された上記アナログ入力レベルを測定するようにしたことを特徴とするアナログ・デジタル変換器評価装置。

3. 発明の詳細な説明

本発明は、アナログ・デジタル変換器評価装置、特に与えられたアナログ・デジタル変換器について当該アナログ・デジタル変換器の少なくとも最下位ビットが切替わる変化点のアナログ入力レベルを長時間の平均値を求めることによって評価するようにしたアナログ・デジタル変換器評価装置に関するものである。

(5-1)

一般にデジタル・アナログ変換器を評価することは比較的簡単であり、例えば予め定めたデジタル値を入力せしめてそのアナログ出力レベルを測定して平均化すれば足りる。しかし、アナログ・デジタル変換器を評価するに当っては、該アナログ・デジタル変換器からのデジタル出力が或る値から1つ上位の値(i+1)に変化する変化点に相当するアナログ入力レベルを測定して平均化することが必要であって困難である。即ちアナログ・デジタル変換器自体の例えば増幅器の増幅度が時間と共に確率的に変化することから、上記平均値を求めてゆくことはきわめて困難である。

本発明は上記の点を解決することを目的としており、評価対象アナログ・デジタル変換器からのデジタル出力が或る値 i から $(i+1)$ に変化した値 $(i+1)$ から i に変化する確率が例えば50対50となるアナログ入力レベルを効率よく測定すると共に、測定系を含めてヒステリシスがあっても即ち値 i から $(i+1)$ への変化点と値 $(i+1)$ から i への変化点とに差異があっても、該ヒステリシスを平滑化して測定し得るようにすることを目的としている。そしてそのために本発明のアナログ・デジタル変換器評価装置は、与えられたアナログ入力に対応したデジタル出力を発生するアナログ・デジタル変換器を評価対象アナログ・デジタル変換器とし、該評価対象アナログ・デジタル変換器からのデジタル出力の少なくとも最下位ビットが変化する変化点に対応するアナログ入力レベルを測定するアナログ・デジタル変換器評価装置において、予め定められたデジタル値と上記評価対象アナログ・デジタル変換器出力とを比較する比較器、該比較器の比較結果出力を平均化し

3

とを考える。この場合、コード設定部2に例えば値「010」をセットしておき、該コード設定部2からの出力 b (=010)と評価対象アナログ・デジタル変換器1からの出力 a とを比較器3によって比較する。

(5-2)

比較器3は例えば $a < b$ のとき出力 z として値「1」を発生し、 $a \geq b$ のとき値「-1」を発生するように定めおき、該比較器3からの出力 z を平均化回路5に供給し、上記出力 z の時間平均値 $\bar{z}(t)$ を生成する。上記平均化回路5の出力は積分回路6に供給され、積分回路6によってアナログ値 y が生成される。該アナログ値 y が評価対象アナログ・デジタル変換器1の入力として負帰還される。

この結果、クロックが与えられたとき評価対象アナログ・デジタル変換器1の出力 a が上記値「010」よりも小さい場合に比較器3は $z=1$ を発生し、上記値「010」に等しいか大きい場合に比較器3は $z=-1$ を発生することとなる。上記出力 z は平均化回路5によって時間平均されて出力 $\bar{z}(t)$ となり積分回路6に供給される。即ち評価対

5

その結果により上記評価対象アナログ・デジタル変換器に対するアナログ入力を増減する負帰還回路をそなえ、該負帰還回路によって安定化された上記アナログ入力レベルを測定するようにしたことを特徴としている。以下図面を参照しつつ説明する。

図1図は本発明のアナログ・デジタル変換器評価装置の全体構成を要する一実施例、図2図はその動作を説明する説明図、図3図は図1図に示す負帰還回路をデジタル型に構成した一実施例、図4図は同じくアナログ型に構成した他の一実施例を示す。

図1図において、1は評価対象アナログ・デジタル変換器、2はコード設定部、3は比較器、4は負帰還回路、5は平均化回路、6は積分回路、7はアナログ・レベル測定器(積分型電圧計)を要わしている。

今、評価対象アナログ・デジタル変換器1のデジタル出力 a が値「001」から「010」へ変化する変化点のアナログ入力 y のレベルを測定するこ

4

象アナログ・デジタル変換器1のアナログ入力 y のレベルが、上記出力 a が平均的に上記値 b よりも小さい場合には漸次増加し、また上記出力 a が平均的に上記値 b に等しいか大きい場合には漸次減少される。

図2図に概念的に示す如く、上記アナログ入力 y が図示値 y_1 以下の場合には出力 a は明確に「001」となり、また図示値 y_2 以上の場合には出力 a は明確に「010」となり、図示値 y_1 と y_2 との間にあるとき出力 a は確率的に「001」となる場合と「010」となる場合とが確率関数的な形で与えられる。そして比較的長い時間を経過するとき、評価対象アナログ・デジタル変換器1の出力 a が、 $a < b$ である確率と $a \geq b$ である確率とが等しい即ち50対50となる値 y_2 に上記アナログ入力 y が近づいてゆく。この値 y を積分型電圧計7によって測定することによって、評価対象アナログ・デジタル変換器1が出力「001」と出力「010」とを示す変化点の値 y_2 を測定することが可能となる。なお、この場合、入力 y が値 y_2

6

に近づくにつれて、入力 y は或るタイミングで $y > y_1$ の状態から減少して値 y_1 に達し、また他のタイミングでは $y < y_1$ の状態から増大して値 y_1 に達することを繰返す。したがって、評価対象アナログ・デジタル変換器や図示比較器3や負帰還回路4にいわゆるヒステリシスがある場合にも、該ヒステリシスの影響を受けた結果の平均値が上記積分型電圧計7によって測定されることとなる。即ち結果的にヒステリシスによる影響は平滑化されてしまうこととなる。

オ3図は、オ1図に示す負帰還回路4をデジタル型に構成した一実施例を示す。図中の符号5、6はオ1図に対応し、8はMビット・アップ・ダウン・カウンタ、9はNビット・アップ・ダウン・カウンタ、10は予め精度の判っているデジタル・アナログ変換器、11はオア回路を表わしている。

Mビット・アップ・ダウン・カウンタ8は例えば3ビットである場合、プリセット値として「100」がプリセット入力P R S E Tに対応してプ

リセットされ、クロックに同期してオ1図図示比較器3からの出力 e によって+1あるいは-1される。そして、「111」となっている状態で $e = +1$ が入力されると、桁上げ信号Cが論理「1」となる。また「000」となっている状態で $e = -1$ が入力されると、桁下げ信号Bが論理「1」となる。更に上記信号CやBが発生されるか、測定開始信号E X T P Rが与えられると、上記M進のアップ・ダウン・カウンタ8がプリセット状態に復帰される。

Nビット・アップ・ダウン・カウンタ9は、上記桁上げ信号Cが与えられると+1され、また上記桁下げ信号Bが与えられると-1され、その結果の内容(D A T A)はデジタル・アナログ変換器10に供給される。言うまでもなく、当該カウンタ9は通常の場合桁上げや桁下げが生じない程度の十分大きいビット数をもつように選ばれる。

上記内容D A T Aを供給されたデジタル・アナログ変換器10は当該内容に対応したアナログ値 y を生成し、該値 y はオ1図図示の如く評価対象アナログ・デジタル変換器1に入力される。

7

8

オ4図は、オ1図に示す負帰還回路4をアナログ型に構成した他の一実施例を示す。図中の符号5、6はオ1図に対応し、12、13は抵抗、14、15はコンデンサ、16は差動アンプ、17は機械的スイッチの型で概念的に表わした切替スイッチであってオ1図図示出力 e の値によって切替えられるものを表わしている。

切替スイッチ17は、 $e = 1$ の場合に平均化回路5に対して基準値 $-V_{REF}$ を入力するよう切替り、 $e = -1$ の場合に基準値 $+V_{REF}$ を入力するよう切替る。この結果、平均化回路5は、繰返し与えられる入力を平均化した値を積分回路6に供給する。図示積分回路6は通常のアナログ積分回路であって、平均化出力 $e(t)$ を時間積分したアナログ出力 y をつくる。

以上説明した如く、本発明によれば、評価対象アナログ・デジタル変換器の出力がどの入力レベルによって変化するかの変化点を簡単にしかも高精度で判定することが可能となる。なお図示平均化回路に必要に応じて重み係数を導入することに

よって、オ2図図示 y_1 から y_2 に至るまでの間の変化状況を知ることにも可能となる。

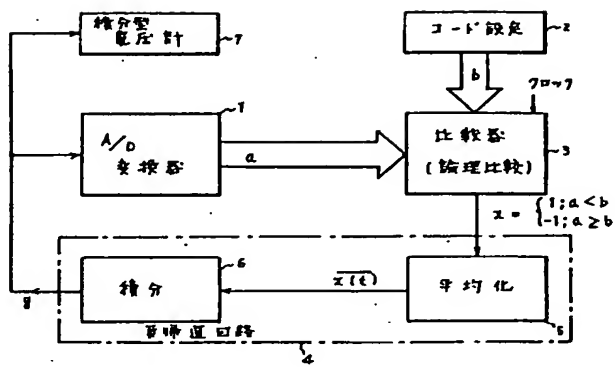
4. 図面の簡単な説明

オ1図は本発明のアナログ・デジタル変換器評価装置の全体構成を表わす一実施例、オ2図はその動作を説明する説明図、オ3図はオ1図に示す負帰還回路をデジタル型に構成した一実施例、オ4図は同じくアナログ型に構成した他の一実施例を示す。

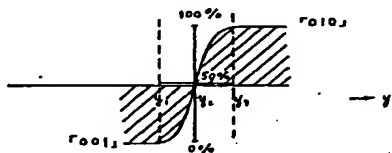
図中、1は評価対象アナログ・デジタル変換器、2はコード設定部、3は比較器、4は負帰還回路、5は平均化回路、6は積分回路、7はアナログ・レベル測定器を表わす。

特許出願人 富士通株式会社
代理人弁理士 森 田 寛

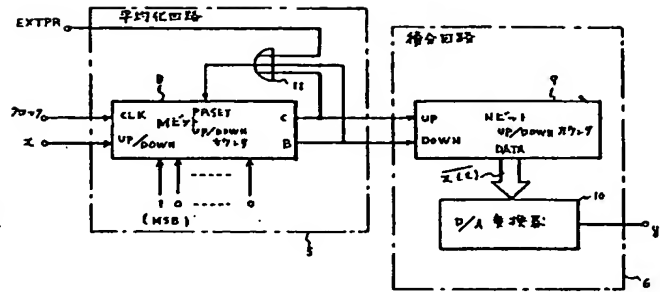
才 1 図



才 2 図



才 3 図



才 4 図

